

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-244875

(43)Date of publication of application : 19.09.1997

(51)Int.Cl. G06F 7/50
H01L 27/10
H03K 19/20
H03M 1/00

(21)Application number : 08-085948 (71)Applicant : OMI TADAHIRO
SHIBATA SUNAO
(22)Date of filing : 13.03.1996 (72)Inventor : OMI TADAHIRO
IMAI MAKOTO
KOTANI KOJI
SHIBATA SUNAO

(54) SEMICONDUCTOR ARITHMETIC CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To perform polynomial addition processing fast with small area by adding all the bits of data in binary notation which are inputted at the same time at a time and converting an analog signal which has linear relation with the addition result into a digital signal.

SOLUTION: Input terminals 301-307 are coupled with floating electrodes 311-317 through capacitors to generate analog voltages to be supplied to the floating electrodes as an addition means of input bits. The floating electrodes are the gate electrodes of neuron MOS transistors and neuron MOS inverter circuits 321-327 which are different in threshold value are constituted. Then the inverter circuit 321 outputs 0 to an output terminal 331 when the batch addition result is ≥ 1 the inverter circuit 322 outputs 0 to a terminal 322 when the batch addition result is ≥ 2 and so on the inverter circuits 323-326 output 0; and the inverter circuit 327 outputs 0 to a terminal 337 when the batch addition result is ≥ 7 and consequently 7 input bit data are added together at a time.

CLAIMS

[Claim(s)]

[Claim 1] A circuit adding two or more data by which the binary representation was carried out characterized by comprising the following.

A terminal for inputting said two or more data simultaneously.

A means to bundle up to all bits of two or more of said data to perform an add operation and to generate related analog the added result and primary or multi valued signal and a means to change said analog or a multi valued signal into a digital signal.

[Claim 2] Said semiconductor arithmetic circuit according to claim 1 said two or more data's comprising a 1-bit signal respectively and putting in block the 4th [or more] paragraph of it and adding it.

[Claim 3] Said semiconductor arithmetic circuit according to claim 1 carrying out two or more paragraph package and adding a bit group who comprised two or more continuous bits.

[Claim 4] A semiconductor arithmetic circuit comprising of claim 1 thru/or claim 3 given in any 1 paragraph:

An electrode electrically made into floating as a means to generate said analog signal.

A means to have two or more input terminals connected with said electrode via capacity of a predetermined size and to input predetermined bit signals of said data into said input terminal.

[Claim 5] A semiconductor arithmetic circuit of claim 2 thru/or claim 4 given in any 1 paragraph having at least 1 MOS transistors by which an on-off state is controlled by said electrode.

[Claim 6] A semiconductor arithmetic circuit of claim 2 having a means to connect with a signal wire in which said electrode had predetermined potential via at least 1 switches thru/or claim 5 given in any 1 paragraph.

[Claim 7] An output of the 1st inverter circuit is connected in the 2nd input and 1st point of contact of an inverter circuit. An appearance mosquito of said 2nd inverter is connected in an input and the 2nd point of contact of said 1st inverter. A semiconductor arithmetic circuit of claim 2 using an arithmetic circuit which produces and cheats out of potential difference between said 1st point of contact and the 2nd point of contact based on a voltage signal produced in said electrode thru/or claim 6 given in any 1 paragraph.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a semiconductor arithmetic circuit. In

particular in the field of the add operation of many paragraphs and the multi-line addition in ***** it is related with the semiconductor arithmetic circuit for considering it as high-speed and small circuitry.

[0002]

[Description of the Prior Art] The addition in a semiconductor arithmetic circuit processes by dividing into every [of data] bit (a "bit" shows the binary number value of a single figure) input data ("data" shows the whole 1 paragraph of the input which comprises two or more bits on these specifications) in the conventional binary digital processing. It has realized by using a full adder element for each.

[0003] Since a full adder element is 3 input 2 output element if a carry signal is considered to be one input the dyadic operation can constitute the system which can be processed satisfactorily. However to add many paragraphs it is necessary to combine a full adder with multi-stage and complication and large-scale-ization of a circuit cannot be escaped. although multi-paragraph summing processing is data processing produced in various fields as especially the multiplication of four operations is also realized by many addition it is processing indispensable to data processing and development of the multi-paragraph addition basic element which changes to a full adder is desired.

[0004]

[Problem(s) to be Solved by the Invention] Then an object of this invention is to provide the semiconductor arithmetic circuit for realizing multi-paragraph summing processing with a high speed or a small area.

[0005]

[Means for Solving the Problem] In a circuit adding data in which the binary representation of the semiconductor arithmetic circuit of this invention was carried out it had a terminal for inputting data simultaneously and it bundled up to all bits of said data an add operation was performed and it had the added result a means to generate a primary related analog signal and a means to change said analog signal into a digital signal.

[0006]

[Example] Although an example is raised to below and this invention is explained to it in detail it cannot be overemphasized that this invention is not what is limited to these examples. Although the example using neurone MOS transistor as an element which performs package addition especially is shown what is necessary is just to be a circuit element which generates an analog signal with the primary relation to an added result and the circuit which generates analog currents with the primary relation to an added result may be sufficient.

[0007] The concept of the word "bit group" who use by this invention is shown in drawing 1. [the data bit and bit group]

(The 1st example) Drawing 2 shows the concept of an adding machine.

Conventionally as shown in drawing 2 (a) although only the circuit which outputs one

carry (carry signal) and one added result in two pieces or inputting three pieces existed bit data. In this example (drawing 2 (b)) seven inputs are added collectively and it has become a circuit adding the input of the 4th [or more] paragraph so that the circuitry which outputs a total of three-piece ** may be taken.

[0008] Drawing 3 is a circuit diagram showing drawing 2 (b) in details more. This circuit is a circuit which carries out package addition of the seven input bit data. The number of the terminals which are outputting "0" of the inner binary of the seven output terminals 331 332 333 334 335 336 and 337 expresses an added result. An input bit is given to seven input terminals 301 302 303 304 305 306 and 307. This terminal is combined with the electrode made into floating of 311 312 313 314 315 316 and 317 via the capacity of a predetermined size and the analog voltage (there may be offset voltage) given to a floating electrode with the averaging of an input bit is produced. this floating electrode -- neuron MOS transistors (artificer: -- Tadashi Shibata.) Becoming a gate electrode of Tadahihiro Omi JP3-6679A and JP4-816971A this neurone MOS transistor constitutes the neurone MOS inverter circuits 321 322 323 324 325 326 and 327 from which a setting-out threshold differs respectively. The setting-out threshold was set up by giving V_{DD} or potential GND to six terminals in parallel with an input terminal. The package added result (0-7) of the neurone MOS inverter circuit 321 is one or more 0 is outputted to the output terminal 331 and the inverter circuit 322 takes the flume bypass composition from which a package added result outputs "0" for "0" to 337 or more by seven following 332 in a package added result with an output and the inverter circuits 323-326 in the inverter circuit 327 or more by two.

[0009] Although it is circuitry which expresses an added result by the number of the terminals which are outputting "0" of the inner binary of seven output terminals in this example if an output is circuitry which is a binary or a digital signal even if it outputs the added result of 0-7 with the binary number of a triplet it will not matter even if it expresses with the discrete value of 0-7 for example. Although the neurone MOS inverter circuit is used in this example what is necessary is just circuitry by which a binary or digital signal outputs are made to a setting-out threshold and it is a neurone MOS sense amplifier type circuit (artificer: refer to Koji Kotani Tadashi Shibata Tadahihiro Omi and Japanese Patent Application No. No. 2441 [seven to]). It is also available that one of the examples is shown in drawing 4. Although set up in this example by giving V_{DD} or potential GND to six terminals which added the setting-out threshold the subtracting function of the input which is a function which resets a floating gate electric charge may be used and it does not matter even if it sets up by the potential difference given to the node of the right and left of a neurone MOS sense amplifier type circuit.

[0010] (The 2nd example) The 2nd example of this invention is a semiconductor arithmetic circuit which carries out two or more paragraph package and adds the bit group who comprised two or more continuous bits. Although this example shows the semiconductor arithmetic circuit which performs package addition to the 9th

paragraph by dealing with input and output as a group bit of the continuous triplet this invention may not be bound by the grouping of a triplet for example 2 bits grouping and 4-bit grouping may be sufficient. Package addition of the 9th paragraph is taken up as an example because 9 paragraph 1 ***** is the most efficient arity by blocking of a triplet.

In after comparing with conventional technology as long as it is package addition beyond two or more paragraphs addition of any paragraph may be sufficient.

[0011] 3 bit-block-ized package adder circuit is a circuit where each bit of input and output of the package adder circuit shown by (b) of said drawing 2 was transposed to the bit by which grouping was carried out. Since the effect of this blocking can oppress the number of outputs as compared with a 1-bit package adding machine it demonstrates an effect especially for addition of small arity. Drawing 5 is a figure showing the effect of the 3 bit-group-ized technique. Each is shown when a full adder is used the bit package addition technique is used about the operation adding data of nine lines with sufficient digit number and the 3 bit-group-ized technique is used.

[0012] (a) When the conventional full adder is used attach even the portion enclosed with the rectangular head in a figure one full adder is required and since an added result and a carry signal arise in each with the 1st step of full adder the result of no less than six lines remains in the place which carried out the input of nine lines. Although the graphic display has not been carried out after that six lines is inputted with the 2nd step of full adder the result of four lines is obtained the 3rd step will carry out the input of four lines and addition will follow it by flume *****. It is very closely related for a full adder being 3 input 2 output circuit that these nine lines turn into six lines and becomes subsequently to four lines and the number of lines becomes decrease intermediary ***** every $[3 / 2]$.

[0013] (b) Since this package adding machine is 9 input 4 output when the 1-bit package addition technique shown in said 1st example is used input data of nine lines can be made into four lines. Since this can reduce the number of lines greatly by the effect of the package addition from six lines at the time of using a full adder it can realize addition at high speed.

(c) Since each input data will be used in the group unit of a triplet if the groove-ized algorithm of a triplet used in the 2nd example is used all the numerical values in the rectangular head in a figure bundle up addition of three bit groups of nine lines it is inputted and is added. For example the added result 502 to which grouping of the carry ingredient 503 to which grouping of the triplet was carried out by package addition of 501 and the triplet was carried out will arise. Thus since - ***** of triplet 9 paragraph serves as 9 input 2 output circuit input data of nine lines can be reduced at a stretch at only two lines and the effect of the bit block-ized technique is made clear.

[0014] Drawing 6 is a circuit diagram of 1 ***** of nine lines by the grouping of a triplet. This circuit comprises the portion 602 which outputs the added result (0-7)

called the carry signal (0-7) generating part 601 which is roughly divided and is called the stage 1 and the stage 2. The output of each stage is given with the terminal number which is outputting the inside "1" of the seven output terminals 611-617 and 621-627. Since the added result of the stage 2 is realized by the operation (package added result 1 carry-signal x8) the input to the stage 2 needs to change (the output of the carry signal = stage 1) to a package added result. A switch group for that is "INPUT/CARRYSELECTOR" 603. The stage 1 and the stage 2 both take the almost same composition and comprise a logical-decision circuit where seven setting-out thresholds shown with the triangle in a figure differ.

[0015] Drawing 7 is an example using the neurone MOS sense amplifier type circuit which was being made into said logical-decision circuit. Although the sense amplifier section is the same as what was shown in drawing 4 it is omitting about four MOS transistors used as a switch. Nine input data which carried out grouping of the triplet is given to an input terminal so that it may have the connection capacity ratio 4:2:1 from a high order bit in the electrodes 701 and 702 made into floating. Thereby the analog voltage (there may be offset voltage) given to a floating electrode with the averaging of input data arises. This floating electrode is a gate electrode of the neurone MOS transistors 703 and 704. The conductance between the source drains of each neurone MOS transistor changes with the height of the voltage of each floating gate and the potential difference of the output nodes 705 and 706 is produced with the conductance.

[0016] Although the sense amplifier circuit of this example took the composition which inputs data into both neuron MOS transistors the sense amplifier which inputs data only into one side may be sufficient as it and a voltage drive type sense amplifier may be sufficient as it. If a logical-decision circuit is a circuit which can perform a threshold operation based on the potential of a floating gate what kind of circuit may be sufficient as it for example a neurone MOS inverter circuit may be used for it.

[0017] Drawing 8 is a timing chart for realizing subtraction on the stage 2. Dynamic type sense AMBU currently used operates by reset precharge and the repetition that are 3 cycles of amplification (this corpus albicans of operation has given details to the patent of said sense amplifier). The stage 2 is processing the pipeline inside by carrying out 1 cycle delay ***** to three cycles of the stage 1.

[0018] Drawing 9 is a waveform of operation about the sense AMBU circuit which is equivalent to a ***** sense amplifier and 23.5 in the threshold which is equivalent to 7.5 to a package added result (0-63) among seven sense amplifiers of the stage 1. As for the waveform 901 a yellow tail charge clock and the waveform 903 of a reset clock and the waveform 902 are waveforms of an amplification clock. The waveforms 904 and 905 are the inputted voltage and the input which becomes the voltage equivalent to the added result 7 and the added result 8 is carried out to the circuit equivalent to the threshold 7.5. To the sense amplifier equivalent to the threshold 23.5 the added result carried out an input called 23 and 24 and has measured performing the right

threshold operation to it. The measurement results of the both-outputs node of sense AMBU are 906 and 907. At the time of precharge both-outputs node becomes V_{DD} and latches the result in judgment of a result and its following cycle by the following amplification cycles. That is the portion divided into "0" and "1" shows the result. Since the output is reversed by the case where "8" is inputted as the case where "7" is inputted it turns out that the operation is correctly performed by making "7.5" into a threshold. It turns out that the threshold operation is correctly done from the result being reversed in each input of "23" and "24" also about the threshold of "23.5."

[0019](The 3rd example) The 3rd example of this invention is a circuit realizing the circuit which performs the add operation of multiplication in size small at high speed by using a package adding machine. Although the use example of the package adding machine in this invention has indicated only this multiplier in addition to this it is used for image processing etc. as a use and is not limited to a multiplier.

[0020] If calculation by writing is developed using the technique of existing from the former called "Booth Decoder" in the case of 16 bit multipliers it is developed by a maximum of nine lines like drawing 10 and it is necessary to add this at high speed. Although the conventional full adder needed to combine five steps of full adders with this addition and had speed an area problem a circuit is realizable with only one step of package adding machine by what the package adding machine of the triplet of nine lines shown by drawing 7 is combined for like drawing 11 (the inside FSU of a figure is a package adding machine).

[0021] In this example since the package adding machine of triplet 9 paragraph was used limited to 16 bit multipliers but. If the adding machine which can carry out package addition of the number of lines produced in the calculation by writing of the multiplier in one step is used it can be adapted for any multipliers for example if a 4-bit 17 paragraph package adding machine is used a maximum of 33-bit multiplier is realizable. 64 bit multipliers are using "Booth Decoder" and since the line of a maximum of 33 lines arises if the package adding machine of drawing 7 is used calculation is realizable in the combination of two steps of package adding machines. This combination is shown in Drawing 12. The continuation adder unit of 64 bit multipliers is realizable by arranging this unit for every group of 3 bits each.

[0022] Pipeline **** is made between the 1st step and the 2nd step of 1 ***** and as shown in drawing 13 it operates by the gap of one cycle between the 1st step and the 2nd step. It characterizes also by using the latch function of sense AMBU for the memory between pipelines. Since having been shown in drawing 14 is constituted [64 bit multipliers] when the conventional full adder is used and the package adding machine of 7 input 3 output of drawing 3 is used as a representative as an example of the circuit which does not carry out bit block-ization It is comparison of each parameter at the time of using the package adding machine of the triplet of nine lines as bit-block-izing. Speed is the result of asking in a simulation about the circuit of a

1-micron design rule. A Cap. number expresses the size of the capacity of nMOS and is setting capacity size of the minimum input to 1. When the package adding machine of 7 input 3 output is used there are few area and number of stages than CMOS structure but there is a problem of being a low speed. Although the case where the triplet package adder circuit of nine lines is used can be most realized by by PURAIN processing at high speed and can be realized by about 1-/a transistor count three as compared with the case of a CMOS full adder very big capacity is required. However 1 capacity may be smaller than one transistor and also the area which this capacity occupies by applying various art currently used by DRAMs such as adoption of three-dimensional structure capacity and a high permittivity insulator layer is minimized and circuit structure is small made rather than a CMOS full adder. In CMOS structure the wiring arranged in order to combine 3082-piece no less than eight steps of full adders attains to a huge area. There are few adding machines used in a package adding machine and also since it is a repetition of finite PATA 1 N wiring between adding machine-adding machines is also easy.

[0023] In this example although the package adding machine of triplet 9 paragraph was used if the technique of carrying out package addition is used what is not blocked [the blocked what bit thing or] will be available.

[0024]

[Effect of the Invention] According to the invention concerning claim 1 add operation processing of many paragraphs can be processed at high speed and simply by adopting the package addition technique. According to the invention concerning claim 2 the threshold arithmetic precision demand of a circuit which changes into a digital signal the analog signal used since 1-bit data can be added at high speed and simply and there is no dignity in each input may be loose.

[0025] According to the invention concerning claim 3 the number of lines outputted in order to process the continuous bit string collectively can be controlled package addition of the small number of outputs can be realized and it can contribute to high-speed addition. According to the invention concerning claim 4 since the averaging of the voltage by capacitive coupling is realizable addition is realizable in a brief circuit.

[0026] According to the invention concerning claim 5 an operation can be easily done with the transistor of an MOS type [input / by which averaging was carried out]. According to the invention concerning claim 6 since the surplus electric charge stored in the floating electrode via the switch can be abolished- ***** of a multi input is realizable with high reliability. With the function of a switch since the subtracting function on a floating gate is realizable brief circuitry is realized.

[0027] According to the invention concerning claim 7 the title between accuracy is solved by connection with the next step for "0" or "1" with a certainly binary output to be outputted for the circuitry which a positive feedback requires. It can contribute for it being suitable for pipeline processings since clock control is easy and making it

improvement in the speed.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] They are data bit data and a figure showing a bit group's concept.

[Drawing 2] The key map of an adding machine is shown and drawing 2 (a) is a full adder used conventionally and 1 ***** which requires drawing 2 (b) for an example.

[Drawing 3] It is a line block diagram of a circuit showing the 1st example of this invention.

[Drawing 4] The circuit diagram of the sense amplifier type neurone MOS theory value circuit which can be used as a neurone MOS logical-decision circuit.

[Drawing 5] The difference in the number of output lines according [on addition of data of nine lines and] to a basic element. (a) In the case of the package adding machine using the (c) 3 bit-group-ized technique when a full adder is used and (b) 1-bit package adding machine is used

[Drawing 6] The circuit diagram of the package adding machine adding the data of nine lines formed into 3 bit groups.

[Drawing 7] The circuit diagram at the time of using a sense amplifier type neurone MOS circuit in the logical-decision circuit of the package adding machine of drawing 6.

[Drawing 8] The timing chart between the stage 1 of the package adding machine of drawing 6 and the stage 2.

[Drawing 9] Some measurement figures of the circuit of the stage 1 of the package adding machine of drawing 6 of operation.

[Drawing 10] Calculation by writing of 16 bit multipliers.

[Drawing 11] The package adding machine of 16 bit multipliers should put together.

[Drawing 12] The package adding machine which performs addition of 33 lines should put together.

[Drawing 13] The timing chart of the circuit of drawing 12.

[Drawing 14] Barometer according to basic element of the adder unit of 64 bit multipliers.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-244875

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/50			G 0 6 F 7/50	N
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
H 0 3 K 19/20	1 0 1		H 0 3 K 19/20	1 0 1
H 0 3 M 1/00			H 0 3 M 1/00	

審査請求 未請求 請求項の数7 F D (全 10 頁)

(21)出願番号 特願平8-85948

(22)出願日 平成8年(1996)3月13日

(71)出願人 000205041

大見 忠弘

宮城県仙台市青葉区米ヶ袋2-1-17-301

(71)出願人 591022117

柴田 直

宮城県仙台市太白区日本平5番2号

(72)発明者 大見 忠弘

宮城県仙台市青葉区米ヶ袋2の1の17の301

(74)代理人 弁理士 福森 久夫

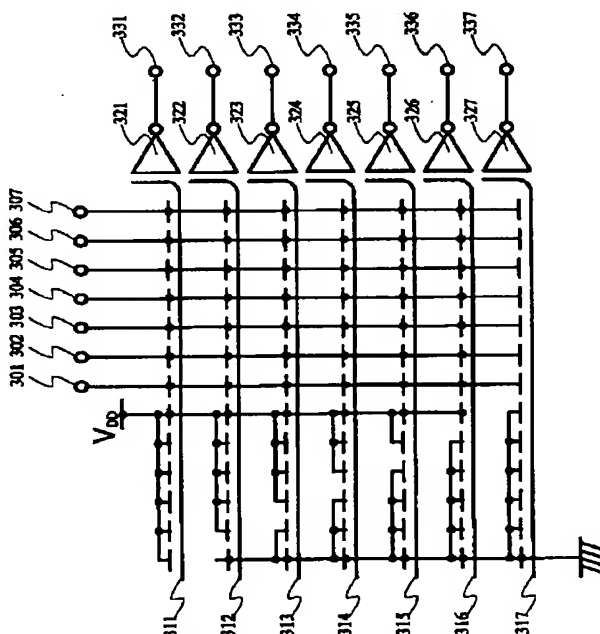
最終頁に続く

(54)【発明の名称】 半導体演算回路

(57)【要約】

【課題】多項加算処理を高速あるいは小面積で実現するための半導体演算回路を提供する。

【解決手段】 2進表現された複数のデータを加算する回路において、前記複数のデータを同時に入力するための端子と、前記複数のデータのビットすべてに対し一括して加算演算を行い、その加算結果と一次の関係のあるアナログもしくは多値信号を発生する手段と、前記アナログもしくは多値信号をデジタル信号に変換する手段と、を備えたことを特徴とする。複数のデータがそれぞれ1ビットの信号で構成され、それを4項以上一括して加算する。複数の連続したビットで構成されたビットグループを複数項一括して加算する。



【特許請求の範囲】

【請求項1】 2進表現された複数のデータを加算する回路において、

前記複数のデータを同時に入力するための端子と、
前記複数のデータのビットすべてに対し一括して加算演算を行い、その加算結果と一次の関係のあるアナログもしくは多値信号を発生する手段と、

前記アナログもしくは多値信号をデジタル信号に変換する手段と、を備えたことを特徴とする半導体演算回路。

【請求項2】 前記複数のデータがそれぞれ1ビットの信号で構成され、それを4項以上一括して加算することを特徴とする前記請求項1記載の半導体演算回路。

【請求項3】 複数の連続したビットで構成されたビットグループを複数項一括して加算することを特徴とした前記請求項1記載の半導体演算回路。

【請求項4】 前記アナログ信号を発生する手段として、電気的にフローティングとされた電極と、前記電極と所定の大きさの容量を介して接続された複数の入力端子を有し、前記入力端子に前記データの所定のビット信号を入力する手段を有したことを特徴とする請求項1ないし請求項3のいずれか1項記載の半導体演算回路。

【請求項5】 前記電極により、オン・オフ状態の制御されるMOS型トランジスタを少なくとも1つ有したことを特徴とする請求項2ないし請求項4のいずれか1項記載の半導体演算回路。

【請求項6】 前記電極が少なくとも1つのスイッチを介して、所定の電位をもった信号線と接続する手段を有したことを特徴とする請求項2ないし請求項5のいずれか1項記載の半導体演算回路。

【請求項7】 第1のインバータ回路の出力が第2のインバータ回路の入力と第1の接点において接続され、前記第2のインバータの出力が前記第1のインバータの入力と第2の接点において接続され、前記電極に生じる電圧信号に基づき、前記第1の接点及び第2の接点間に電位差を生じせしめる演算回路を用いたことを特徴とする請求項2ないし請求項6のいずれか1項記載の半導体演算回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体演算回路に係わる。特に、多項の加算演算、采算器における多行加算の分野において、高速かつ小型な回路構成とするための半導体演算回路に関する。

【0002】

【従来の技術】 半導体演算回路における加算は、従来のバイナリ・デジタル処理では入力データ（本明細書で「データ」とは複数のビットで構成される入力の1項全体を示す）をデータのビット（「ビット」とは一桁の2進数値を示す）毎に分割して処理をし、それぞれに全加算器素子を用いることで実現してきた。

【0003】 全加算器素子は3入力2出力素子であるために、桁上げ信号を1入力と考えれば、2項演算は問題なく処理できる系を構成できる。しかしながら、多項を加算する場合には多段に全加算器を組み合わせる必要があり、回路の複雑化・大規模化は免れられない。多項加算処理はさまざまな分野で生じる演算処理であるが、特に四則演算の乗算も多数回の加算によって実現されるように演算処理には必須の処理であり、全加算器に変わる多項加算基本素子の開発が望まれている。

【0004】

【発明が解決しようとしている課題】 そこで本発明は、多項加算処理を高速あるいは小面積で実現するための半導体演算回路を提供することを目的としている。

【0005】

【課題を解決するための手段】 本発明の半導体演算回路は、2進表現されたデータを加算する回路において、データを同時に入力するための端子を持ち、前記データのビットすべてに対し一括して加算演算を行い、その加算結果と一次の関係のあるアナログ信号を発生する手段と、前記アナログ信号をデジタル信号に変換する手段を備えたことを特徴とする。

【0006】

【実施例】 以下に実施例を上げ本発明を詳細に説明するが、本発明がこれら実施例に限定されるものではないことはいふまでもない。特に、一括加算を行う素子としてニューロンMOSトランジスタを用いる例を示すが、加算結果と一次の関係のあるアナログ信号を発生する回路素子ならばよく、例えば、加算結果と一次の関係のあるアナログ電流を発生する回路でも構わない。

【0007】 また、図1に本発明で用いるデータ、ビット、ビットグループという言葉の概念を示す。

（第1の実施例） 図2は、加算器の概念を示したものである。従来は、図2（a）に示すようにビットデータを2個または3個入力することで一つのキャリー（桁上げ信号）と一つの加算結果を出力する回路のみ存在していたが、本実施例（図2（b））では、7入力を一括して加算し、計3個の出力をする回路構成をとるように、4項以上の入力を加算する回路となっている。

【0008】 図3は、図2（b）をより詳細に示した回路図である。この回路は、7つの入力ビットデータを一括加算する回路である。7本の出力端子331、332、333、334、335、336、337の内バイナリの「0」を出力している端子の数で加算結果を表現する。入力ビットは、301、302、303、304、305、306、307の7つの入力端子に与える。この端子は、311、312、313、314、315、316、317のフローティングとされた電極に所定の大きさの容量を介して結合し、フローティング電極に入力ビットの加算平均で与えられるアナログ電圧（オフセット電圧があってもよい）を生じさせる。この

フローティング電極が、ニューロンMOSトランジスタ（発明者：柴田直、大見弘、特開平3-6679号公報および特開平4-816971号公報）のゲート電極となり、このニューロンMOSトランジスタはそれぞれ設定しきい値の異なるニューロンMOSインバータ回路321、322、323、324、325、326、327を構成する。設定しきい値は、入力端子と並列の6端子に V_{DD} もしくは GND 電位を与えることで設定した。ニューロンMOSインバータ回路321は一括加算結果（0～7）が1以上で、「0」を出力端子331に出力し、同インバータ回路322が一括加算結果が2以上で「0」を332に出力、同インバータ回路323～326と続き、そして同インバータ回路327が一括加算結果が7以上で「0」を337に出力するという回路構成をとる。

【0009】なお、本実施例では、7本の出力端子の内バイナリの「0」を出力している端子の数で加算結果を表現する回路構成であるが、出力がバイナリもしくはデジタル信号である回路構成ならば、例えば、0～7の加算結果を3ビットの2進数で出力しても、0から7の離散値で表現しても構わない。また、本実施例ではニューロンMOSインバータ回路を用いているが、設定しきい値に対しバイナリもしくはデジタル信号出力がなされる回路構成であればよく、例えば、ニューロンMOSセンサンプ型回路（発明者：小谷光司、柴田直、大見弘、特願平7-2441号参照。なお、図4に実施例の一つを示す）でも構わない。また、本実施例では設定しきい値を付加した6端子に V_{DD} もしくは GND 電位を与えることで設定したが、フローティングゲート電荷をリセットする機能である入力の減算機能を用いてもよく、ニューロンMOSセンサンプ型回路の左右のノードに与える電位差で設定しても構わない。

【0010】（第2の実施例）本発明の第2の実施例は、複数の連続したビットで構成されたビットグループを複数項一括して加算する半導体演算回路である。本実施例では、入出力を連続した3ビットのグループビットとして取り扱うことで9項までの一括加算を行う半導体演算回路について示すが、本発明が3ビットのグループ化に縛られることはなく、例えば2ビットのグループ化や4ビットのグループ化でもよい。また、9項の一括加算を例として取り上げるのは、9項一括加算が3ビットのブロック化による最も効率のよい項数であるためであり、従来技術と比較の上では複数項以上の一括加算であれば何項の加算でも構わない。

【0011】3ビットブロック化一括加算回路とは、前記図2の（b）で示した一括加算回路の入出力のビットそれぞれが、グループ化されたビットに置き換えられた回路である。このブロック化の効果は1ビットの一括加算器と比較して出力数を抑圧することができるため、少ない項数の加算には特に効果を発揮する。図5は、3ビ

ットグループ化手法の効果を示した図である。十分な桁数のあるデータを9行加算する演算について、全加算器を用いた場合、ビット一括加算手法を用いた場合、3ビットグループ化手法を用いた場合それぞれについて示している。

【0012】（a）従来の全加算器を用いた場合、図中の四角で囲った部分一つにつき全加算器が一つ必要であり、それぞれに加算結果と桁上げ信号が生じるため、1段目の全加算器では9行の入力をしたところで6行もの結果が残る。以降図示はしていないが2段目の全加算器で6行を入力し、4行の結果を得、3段目は4行の入力をし、という繰り返しにより加算が進んでいくことになる。この9行が6行になり、ついで4行になるというのは全加算器が3入力2出力回路であることに極めて関係が深く、行数が2/3ずつ減っていくことになる。

【0013】（b）前記第1の実施例に示した1ビット一括加算手法を用いると、この一括加算器が9入力4出力であるために、9行の入力データを4行にすることができる。これは全加算器を用いた場合の6行よりも一括加算の効果により行数を大きく削減できるため、高速で加算が実現できる。

（c）本第2の実施例で用いた3ビットのグループ化アルゴリズムを用いると、各入力データは3ビットというグループ単位で用いられるため、3ビットグループ9行の加算は図中の四角の中の数値すべてが一括して入力され加算される。例えば、501の一括加算により3ビットのグループ化された桁上げ成分503と3ビットのグループ化された加算結果502が生じることになる。このように3ビット9項の一括加算器は9入力2出力回路となるために、9行の入力データを一気にたった2行に減らすことができ、ビットブロック化手法の効果は歴然としている。

【0014】図6は、3ビットのグループ化による9行の一括加算器の回路図である。この回路は大きく分けてステージ1と呼ぶ桁上げ信号（0～7）発生部601とステージ2と呼ばれる加算結果（0～7）を出力する部分602で構成される。それぞれのステージの出力結果は、7本の出力端子611～617と621～627中「1」を出力している端子数で与えられる。また、ステージ2の加算結果は（一括加算結果－桁上げ信号×8）という演算により実現されるために、ステージ2への入力は一括加算結果と（桁上げ信号＝ステージ1の出力）を切り替える必要がある。そのためのスイッチ群が「INPUT/CARRY SELECTOR」603である。ステージ1とステージ2はどちらもほぼ同様の構成をとり、図中三角形で示された7つの設定しきい値の異なる論理決定回路で構成される。

【0015】図7は、前記論理決定回路としてのニューロンMOSセンサンプ型回路を用いた例である。なお、センサンプ部は図4に示したものと同一である

が、スイッチとして用いている4つのMOSトランジスタについて省略している。3ビットをグループ化した9つの入力データは、フローティングとされた電極701、702に上位ビットから4:2:1という結合容量比をもつように入力端子に与えられる。それにより、フローティング電極に入力データの加算平均で与えられるアナログ電圧（オフセット電圧があってもよい）が生じる。このフローティング電極が、ニューロンMOSトランジスタ703、704のゲート電極となっており、それぞれのフローティングゲートの電圧の高低により各々のニューロンMOSトランジスタのソースドレイン間のコンダクタンスが変化し、そのコンダクタンスにより出力ノード705、706の電位差を生じさせる。

【0016】なお、本実施例のセンスアンプ回路は、両ニューロンMOSトランジスタにデータを入力する構成をとったが、片側にのみデータを入力するセンスアンプでもよく、電圧駆動型のセンスアンプでもよい。また、論理決定回路は、フローティングゲートの電位に基づきしきい演算のできる回路ならどのような回路でもよく、例えばニューロンMOSインバータ回路を用いてもよい。

【0017】図8は、ステージ2での減算を実現するためのタイミングチャートである。使用しているダイナミック型センスアンプがリセット、プリチャージ、増幅の3サイクルの繰り返しで動作する（この動作自体は前記センスアンプの特許に詳細を述べてある）。ステージ1の3サイクルに対し、ステージ2は1サイクル遅れて動作することで内部でパイプラインの処理をしている。

【0018】図9は、ステージ1の7つのセンスアンプのうち、一括加算結果（0～63）に対し、7.5に相当するしきい値を持つセンスアンプと23.5に相当するセンスアンプ回路についての動作波形である。波形901は、リセットクロック、波形902はプリチャージクロック、波形903は増幅クロックの波形である。波形904、905は入力した電圧であり、しきい値7.5に相当する回路には加算結果7に相当する電圧と加算結果8になる入力をし、しきい値23.5に相当するセンスアンプには、加算結果が23と24という入力をし、正しいしきい演算を行っていることを測定している。センスアンプの両出力ノードの測定結果が906、907である。プリチャージ時に両出力ノードは V_{DD} になり、次の増幅サイクルで結果の判断、その次のサイクルでその結果をラッチしている。すなわち、「0」と「1」に分かれた部分が結果を示している。「7」を入力した場合と「8」を入力した場合で出力結果が反転しているため、正しく「7.5」をしきい値として演算が行われていることがわかる。また、「23.5」のしきい値についても「23」と「24」のそれぞれの入力で結果が反転していることから正確にしきい演算をしていることがわかる。

【0019】（第3の実施例）本発明の第3の実施例は、乗算の加算演算を行う回路を、一括加算器を用いることで高速にかつ小さいサイズで実現することを特徴とする回路である。なお、本発明での一括加算器の使用実施例はこの乗算器のみ記載しているが、用途としてはその他画像処理などにも用いられ、乗算器に限定されるものではない。

【0020】16ビット乗算器の場合、「Booth Decoder」と呼ばれる従来から存在する手法を用いて筆算を展開すると、図10のように最大9行に展開され、これを高速に加算する必要がある。従来の全加算器はこの加算に5段の全加算器を組み合わせる必要があり、速度的、面積的な問題があったが、図7で示した3ビット9行の一括加算器を図11のように組み合わせる（図中FSUが一括加算器である）ことでたった一段の一括加算器で回路が実現できる。

【0021】本実施例では、3ビット9項の一括加算器を用いたため16ビット乗算器に限定したが、乗算器の筆算で生じた行数を一段で一括加算できる加算器を用いればどのような乗算器にも適応でき、例えば、4ビット17項一括加算器を用いれば最大33ビットの乗算器を実現できる。64ビット乗算器は、「Booth Decoder」を使用することで、最高33行の行が生じることから、図7の一括加算器を用いると2段の一括加算器の組み合わせで計算が実現できる。この組み合わせを図12に示す。このユニットを各3ビットのグループ毎に配置することで64ビット乗算器の連続加算部が実現できる。

【0022】また、1段目と2段目の一括加算器間はパイプライン処理ができ、図13に示すように1段目と2段目の間は1サイクルのずれで動作する。パイプライン間のメモリは、センスアンプのラッチ機能を使用することも特徴とされる。図14に示したのが、64ビット乗算器を構成するために従来の全加算器を用いた場合、ビットブロック化をしない回路の例としての代表として図3の7入力3出力の一括加算器を用いた場合と、ビットブロック化として3ビット9行の一括加算器を使用した場合の各パラメータの比較である。速度は、1ミクロンの設計ルールの回路についてシミュレーションで求めた結果である。Cap. 数は ν MOSの容量のサイズを表すもので最小の入力の容量サイズを1としている。7入力3出力の一括加算器を用いた場合、面積も段数もCMOS構成よりは少ないが、低速であるという問題がある。3ビット9行一括加算回路を用いた場合がパイプライン処理により最も高速で実現でき、CMOS全加算器の場合と比較して約1/3のトランジスタ数で実現できるが、非常に大きな容量が必要である。ただし、1容量は1トランジスタよりも小さくてよく、更に3次元構造容量、高誘電率絶縁膜の採用などのDRAMで使われている様々な技術を適用することでこの容量が占

有する面積は極小化され、CMOS全加算器よりも回路規模は小さくできる。また、CMOS構成では、3, 0 8 2個8段もの全加算器を組み合わせるために配置する配線は膨大な面積に及ぶ。一括加算器では使用する加算器数が少ない上、定型的パターンの繰り返しであるために加算器—加算器間の配線も容易である。

【0023】本実施例では、3ビット9項の一括加算器を用いたが、一括加算する手法を用いれば何ビットのブロック化したものでもブロック化していないものでも構わない。

【0024】

【発明の効果】請求項1に係わる発明によれば、一括加算手法を採用することで多項の加算演算処理が高速にかつ簡易に処理できる。請求項2に係わる発明によれば、1ビットのデータを高速にかつ簡易に加算でき、また、各入力に重みがないために使用するアナログ信号をデジタル信号に変換する回路のしきい演算精度要求がゆるくてよい。

【0025】請求項3に係わる発明によれば、連続したビット列をまとめて処理するために出力される行数が抑制され少ない出力数の一括加算が実現でき、高速加算に寄与できる。請求項4に係わる発明によれば、容量結合による電圧の加算平均が実現できるために簡潔な回路で加算が実現できる。

【0026】請求項5に係わる発明によれば、加算平均された入力がMOS型のトランジスタにより容易に演算ができる。請求項6に係わる発明によれば、スイッチを介してフローティング電極に蓄えられた剰余電荷をなくすることができるために高い信頼性を持ちかつ多入力の一括加算器が実現できる。また、スイッチの機能により、フローティングゲート上の減算機能を実現できるために簡潔な回路構成が実現される。

【0027】請求項7に係わる発明によれば、ポジティブフィードバックのかかる回路構成のために出力が必ずバイナリの「0」もしくは「1」が出力されるための次

段への接続に精度の問題が解決される。また、クロック制御が容易であるためにパイプライン処理に適しており、高速化にさらに寄与できる。

【図面の簡単な説明】

【図1】データ、ビットデータ、ビットグループの概念を示す図である。

【図2】加算器の概念図を示し、図2(a)は従来使用されてきた全加算器、図2(b)は実施例に係る一括加算器である。

【図3】本発明の第1の実施例を示す回路の構成図である。

【図4】ニューロンMOS論理決定回路として使用できるセンスアンプ型ニューロンMOS論理回路の回路図。

【図5】9行のデータの加算において基本素子による出力行数の違い。(a)全加算器を使用した場合、(b)1ビット一括加算器を使用した場合、(c)3ビットグループ化手法を用いた一括加算器の場合。

【図6】3ビットグループ化したデータを9行加算する一括加算器の回路図。

【図7】図6の一括加算器の論理決定回路においてセンスアンプ型ニューロンMOS回路を使用した場合の回路図。

【図8】図6の一括加算器のステージ1とステージ2の間のタイミングチャート。

【図9】図6の一括加算器のステージ1の回路の一部の動作測定図。

【図10】16ビット乗算器の筆算。

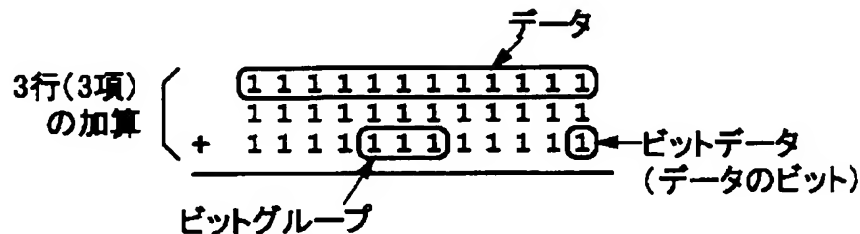
【図11】16ビット乗算器の一括加算器の組み合わせ。

【図12】33行の加算を行う一括加算器の組み合わせ。

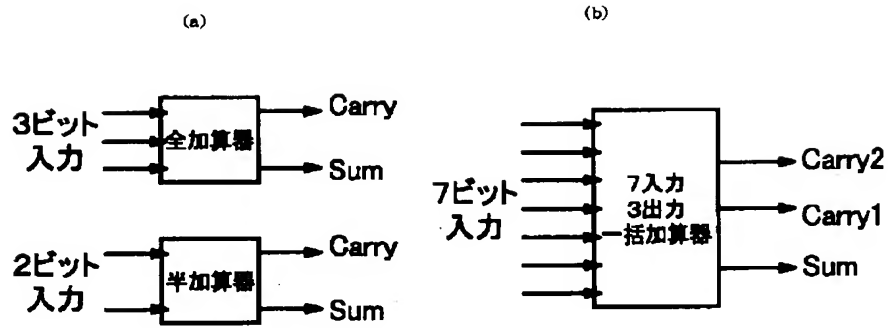
【図13】図12の回路のタイミングチャート。

【図14】64ビット乗算器の加算部の基本素子別のパラメータ。

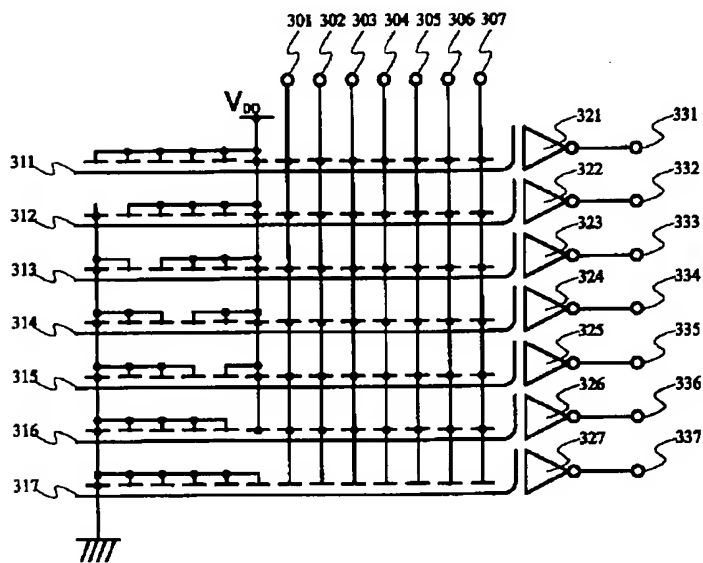
【図1】



【図2】



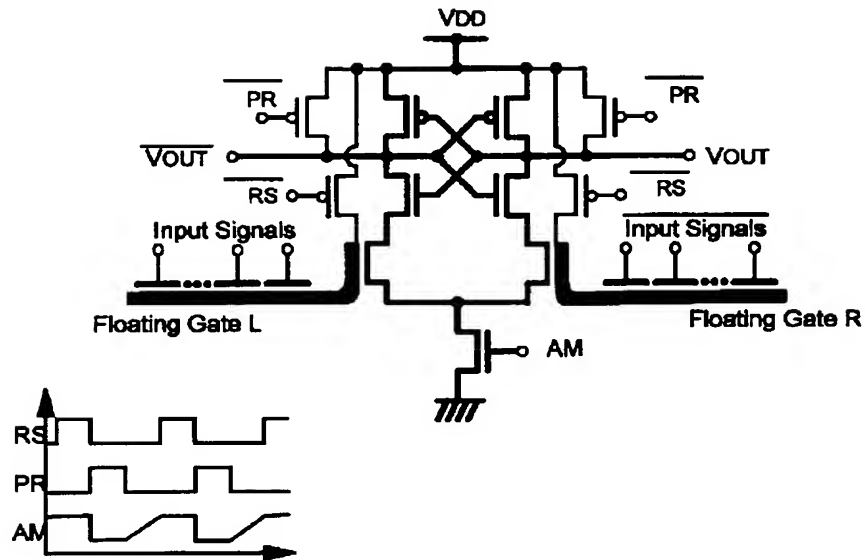
【図3】



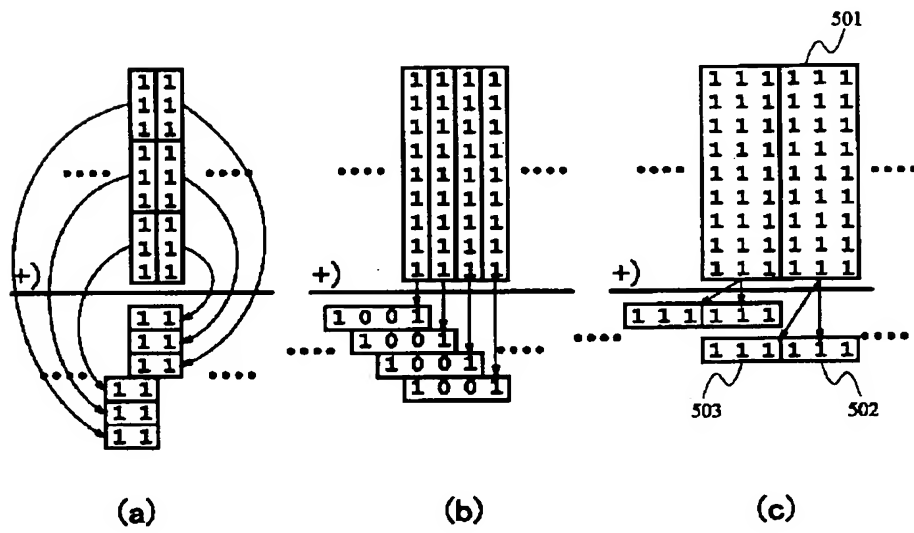
【図8】

	入力	V _{TH}	V _{in}			
ステージ1	クロック	RST	PRC	AMP	RST	
	出力		V _{DD}	Carry		
ステージ2	入力		V _{in}	V _{TH}		
	クロック	RST	PRC	AMP	RST	
	出力		V _{DD}	Sum		

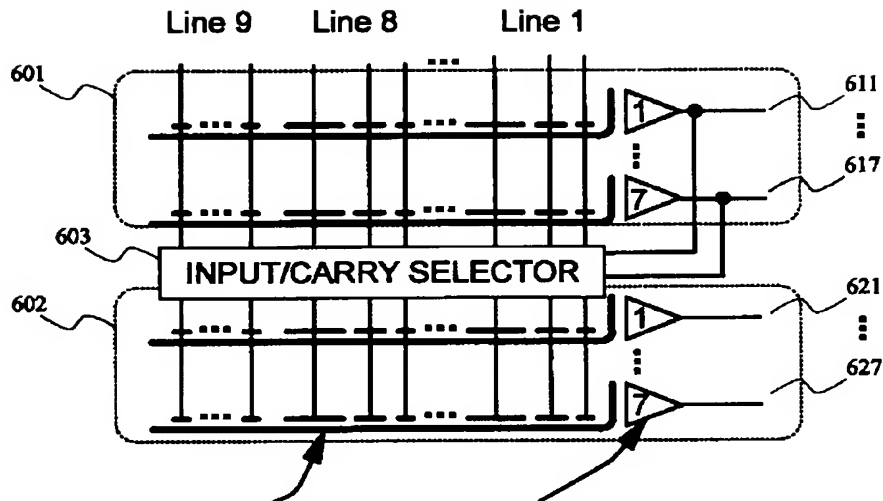
【図4】



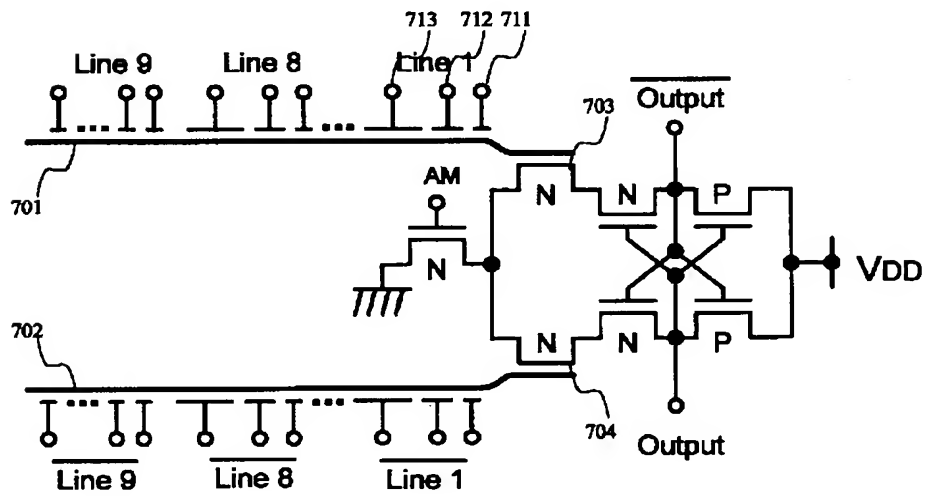
【図5】



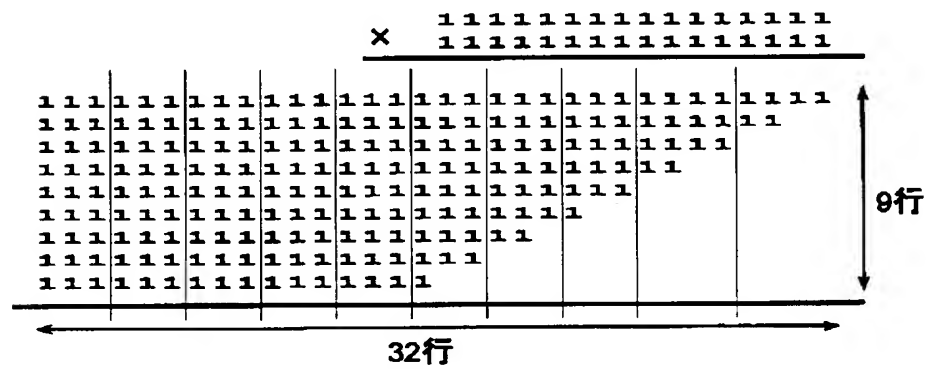
【図6】



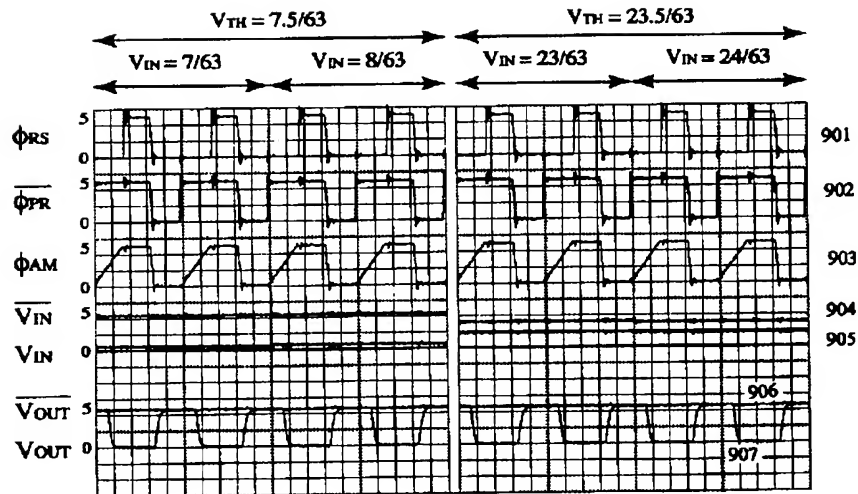
【図7】



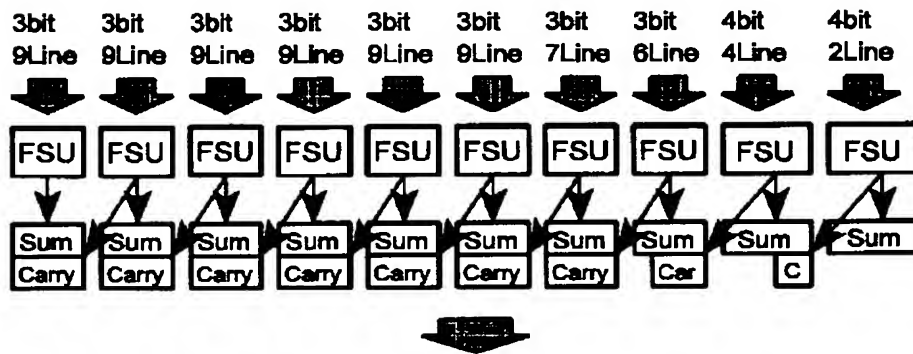
【図10】



【図 9】



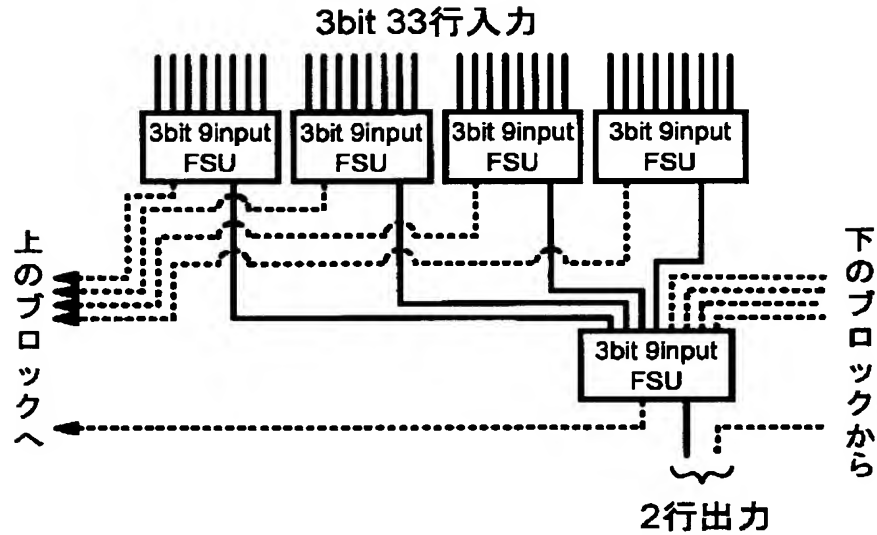
【図 11】



【図 14】

基本素子	出力 入力	段数	速度	Tr.数	Cap.サイズ
Full Adder	$\frac{2}{3}$	8	8[ns]	91,860	
ビット一括加算器	$\frac{3}{7}$	4	12[ns]	13,728	59,968
3bit 9行一括加算器	$\frac{2}{9}$	2	3[ns]	36,288	285,768

【図12】



【図13】

		Vin			Vin		
第1段目	ステージ1	RST	PRC VDD	AMP Carry	RST	PRC	AMP
	ステージ2		RST	PRC VDD	AMP Sum	RST	
第2段目	ステージ1			RST VDD	PRC Carry	AMP	RST
	ステージ2			RST VDD	PRC VDD	AMP Sum	RST

フロントページの続き

(72)発明者 今井 誠
宮城県仙台市青葉区荒巻字青葉 (無番地)
東北大学工学部電子工学科内

(72)発明者 小谷 光司
宮城県仙台市青葉区荒巻字青葉 (無番地)
東北大学工学部電子工学科内

(72)発明者 柴田 直
宮城県仙台市太白区日本平5番2号